

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007660
 (43)Date of publication of application : 12.01.2001

(51)Int.CI. H03F 1/56
 G01R 13/20
 H03M 1/12

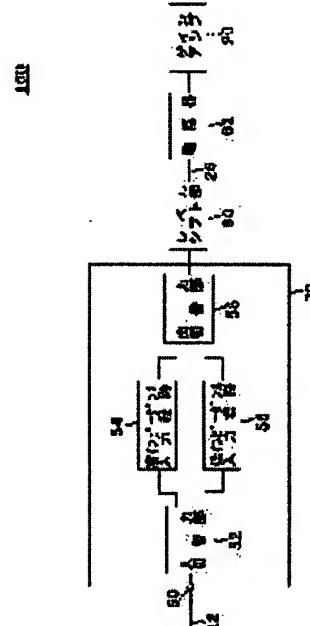
(21)Application number : 11-176105 (71)Applicant : ADVANTEST CORP
 (22)Date of filing : 22.06.1999 (72)Inventor : KAWABATA MASAYUKI

(54) ANALOG SIGNAL PROCESSING CIRCUIT, A/D CONVERTER, SEMICONDUCTOR DEVICE TEST UNIT AND OSCILLOSCOPE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an analog signal processing circuit that properly selects its input impedance.

SOLUTION: This analog signal processing circuit 10 is provided with a signal input circuit 70, a level shift section 60, an amplifier 62 and a gain amplifier 20. The signal input circuit 70 is provided with an input terminal 50, an input changeover section 52, a high impedance input path 54, a low impedance input path 56 and an output changeover section 58. The high impedance input path 54 and the low impedance input path 56 are connected in parallel. The output changeover section 58 outputs an analog signal 22, passing through either of the high impedance input path 54 and the low impedance input path 56. A low input impedance is realized, where a resistive component of the low impedance input path 56 and a resistive component in the level shift section 60 are lower than the input impedance of the high impedance input path 54. With this configuration, when the analog signal 22 passes through the low impedance input path 56, deterioration in the distortion characteristic of the transmission signal can be avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(51) Int.Cl. ⁷	識別記号	F I	マークト(参考)
H 03 F 1/56		H 03 F 1/56	5 J 022
G 01 R 13/20		G 01 R 13/20	5 J 091
H 03 M 1/12		H 03 M 1/12	A

審査請求 未請求 請求項の数18 OL (全 16 頁)

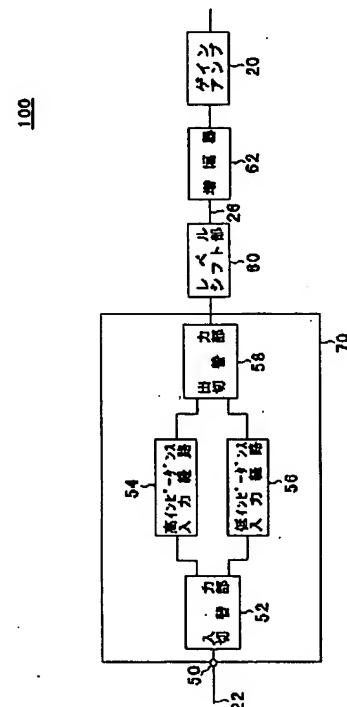
(21)出願番号	特願平11-176105	(71)出願人	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22)出願日	平成11年6月22日 (1999.6.22)	(72)発明者	川端 雅之 東京都練馬区旭町1丁目32番1号株式会社 アドバンテスト内
		(74)代理人	100104156 弁理士 龍華 明裕
			Fターム(参考) 5J022 AA01 BA00 CF02 CF05 5J091 AA01 AA21 AA53 CA21 CA71 FA18 HA01 HA25 HA39 TA01

(54)【発明の名称】 アナログ信号処理回路、AD変換装置、半導体デバイス試験装置およびオシロスコープ

(57)【要約】

【課題】 入力インピーダンスを好適に切り替えることができるアナログ信号処理回路を提供する。

【解決手段】 本発明によるアナログ信号処理回路100は、信号入力回路70、レベルシフト部60、増幅器62およびゲインアンプ20を備える。信号入力回路70は、入力端子50、入力切替部52、高インピーダンス入力経路54、低インピーダンス入力経路56、および出力切替部58を有する。高インピーダンス入力経路54と低インピーダンス入力経路56とは、互いに並列に設けられる。出力切替部58は、高インピーダンス入力経路54または低インピーダンス入力経路56のいずれか一方を通ったアナログ信号22を出力する。低インピーダンス入力経路56の抵抗成分と、レベルシフト部60における抵抗成分とが、高インピーダンス入力経路54の入力インピーダンスよりも低い入力インピーダンスを実現する。この構成により、アナログ信号22が低インピーダンス入力経路56を流れるときには、従来課題とされていた伝送信号の歪特性の劣化がなくなる。



【特許請求の範囲】

【請求項1】 アナログ信号を処理するアナログ信号処理回路であつて、前記アナログ信号が入力される入力端子と、前記入力端子に対して設けられる、所定の入力インピーダンスを有する高インピーダンス入力経路と、前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い入力インピーダンスを有する低インピーダンス入力経路と、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通つた、前記アナログ信号を出力する出力切替部とを備えることを特徴とするアナログ信号処理回路。

【請求項2】 前記アナログ信号が差動信号であつて、前記差動信号を構成する2つの信号が入力される2つの前記入力端子と、前記入力端子のそれぞれに対して設けられる、前記高インピーダンス入力経路、前記低インピーダンス入力経路および前記出力切替部とを備えることを特徴とする請求項1に記載のアナログ信号処理回路。

【請求項3】 前記入力端子に入力された前記アナログ信号を、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方に供給する入力切替部を備えることを特徴とする請求項1または2に記載のアナログ信号処理回路。

【請求項4】 前記高インピーダンス入力経路は、バッファ回路を含むことを特徴とする請求項1から3のいずれかに記載のアナログ信号処理回路。

【請求項5】 前記出力切替部に電気的に接続された、所定のインピーダンスを有する定インピーダンス回路を更に備えることを特徴とする請求項1から4のいずれかに記載のアナログ信号処理回路。

【請求項6】 前記低インピーダンス入力経路とアースとを接続する抵抗を更に有し、前記抵抗と、前記定インピーダンス回路における前記所定のインピーダンスとが、前記高インピーダンス入力経路が有する前記入力インピーダンスよりも低いインピーダンスを構成することを特徴とする請求項5に記載のアナログ信号処理回路。

【請求項7】 前記出力切替部が出力する信号の少なくとも一方から、所定の電圧分を除去するレベルシフト部を更に備えることを特徴とする請求項4に記載のアナログ信号処理回路。

【請求項8】 前記レベルシフト部は、前記出力切替部が出力する双方の信号から、前記所定の電圧分を除去することを特徴とする請求項7に記載のアナログ信号処理回路。

【請求項9】 前記レベルシフト部は、前記出力切替部が出力する信号の一方のみから、前記所定の電圧分を除去することを特徴とする請求項7に記載のアナログ信号

処理回路。

【請求項10】 前記レベルシフト部は、前記出力切替部に電気的に接続された、所定のインピーダンスを有する定インピーダンス回路を含むことを特徴とする請求項7から9のいずれかに記載のアナログ信号処理回路。

【請求項11】 前記バッファ回路の電源電圧は、前記アナログ信号のオフセット電圧に基づいて変動されることを特徴とする請求項4に記載のアナログ信号処理回路。

【請求項12】 前記レベルシフト部の出力を増幅する増幅器を更に備えることを特徴とする請求項7から10のいずれかに記載のアナログ信号処理回路。

【請求項13】 差動信号として入力されるアナログ信号を、デジタル信号に変換するAD変換装置であつて、前記差動信号を構成する2つの信号が入力される2つの入力端子と、前記入力端子のそれぞれに対して設けられる、所定の入力インピーダンスを有する高インピーダンス入力経路と、

前記入力端子のそれぞれに対して設けられる、前記高インピーダンス入力経路よりも低い入力インピーダンスを有する低インピーダンス入力経路と、前記入力端子のそれぞれに対して設けられる、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通つた、前記アナログ信号を出力する出力切替部と、

前記出力切替部から出力される前記アナログ信号の電圧差に基づいて、電圧信号を出力する差動増幅器と、前記電圧信号をデジタル信号に変換するADコンバータとを備えることを特徴とするAD変換装置。

【請求項14】 前記出力切替部のそれぞれに電気的に接続された、所定のインピーダンスを有する定インピーダンス回路を更に備えることを特徴とする請求項13に記載のAD変換装置。

【請求項15】 前記インピーダンス入力経路とアースとを接続する抵抗を更に有し、前記抵抗と、前記定インピーダンス回路における前記所定のインピーダンスとが、前記高インピーダンス入力経路が有する前記入力インピーダンスよりも低いインピーダンスを構成することを特徴とする請求項14に記載のAD変換装置。

【請求項16】 被試験デバイスを試験する半導体デバイス試験装置であつて、前記被試験デバイスから出力されるアナログ信号をデジタル信号に変換する波形ディジタイザと、前記ディジタル信号に基づいて、前記被試験デバイスの良否を測定する測定部とを備え、前記波形ディジタイザが、前記アナログ信号が入力される入力端子と、

前記入力端子に対して設けられる、所定の入力インピーダンスを有する高インピーダンス入力経路と、
前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い入力インピーダンスを有する低インピーダンス入力経路と、
前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った、前記アナログ信号を出力する出力切替部と、
前記出力切替部から出力される前記アナログ信号を、前記デジタル信号に変換するADコンバータとを有することを特徴とする半導体デバイス試験装置。

【請求項17】前記波形ディジタイザが、
差動信号である前記アナログ信号を構成する2つの信号が入力される2つの前記入力端子と、
前記入力端子のそれぞれに対して設けられる、前記高インピーダンス入力経路、前記低インピーダンス入力経路および前記出力切替部と、
前記出力切替部から出力される前記アナログ信号の電圧差に基づいて、電圧信号を出力する差動増幅器と、
前記電圧信号を前記デジタル信号に変換するADコンバータとを有することを特徴とする請求項16に記載の半導体デバイス試験装置。

【請求項18】少なくとも1つの接触端子と、
前記接触端子に入力される電気信号を伝送する伝送路と、
前記伝送路により伝送される前記電気信号が入力される信号入力回路と、
前記信号入力回路に入力された前記電気信号を処理する処理部とを備えるオシロスコープであって、
前記信号入力回路が、
前記電気信号が入力される入力端子と、
前記入力端子に対して設けられる、所定の入力インピーダンスを有する高インピーダンス入力経路と、
前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い入力インピーダンスを有する低インピーダンス入力経路と、
前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った前記電気信号を、前記処理部に出力する出力切替部とを備えることを特徴とするオシロスコープ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログ信号を処理するアナログ信号処理回路に関し、特に、入力インピーダンスの切り替えが可能なアナログ信号処理回路に関する。

【0002】

【従来の技術】図1は、従来の差動信号処理回路10のブロック図を示す。差動信号処理回路10は、終端抵抗切替部12、入力バッファ回路14、差動増幅器16、

レベルシフト部18およびゲインアンプ20を備える。終端抵抗切替部12が、アナログ信号22(22aおよび22b)を差動で受け取る。終端抵抗切替部12は、伝送されるアナログ信号22に応じて、入力インピーダンスを切り替え、インピーダンスを整合する。入力バッファ回路14は、終端抵抗切替部12から出力されるアナログ信号22を受け取り、差動増幅器16に出力する。差動増幅器16は、アナログ信号22aと22bの差分に比例した電圧信号24を、レベルシフト部18に输出する。レベルシフト部18は、電圧信号24から所定のオフセット分を取り除いたシフト電圧信号26を、ゲインアンプ20に出力する。ゲインアンプ20は、シフト電圧信号26の振幅レンジを切り替えて、後段の回路(図示せず)に出力する。

【0003】図2は、従来の差動信号処理回路10の具体的な回路構成を示す。図1と同様に、差動信号処理回路10は、終端抵抗切替部12、入力バッファ回路14、差動増幅器16、レベルシフト部18およびゲインアンプ20を備える。

【0004】終端抵抗切替部12は、切替リレー28a、28b、および終端抵抗30a、30bを有する。終端抵抗30aおよび30bは、低い入力インピーダンスを実現するために設けられ、例えば、共に50Ωの抵抗値をとる。また、入力バッファ回路14は、バッファ32aおよび32bを有する。バッファ32aおよび32bの入力抵抗は、終端抵抗30aおよび30bに比べて非常に大きく、例えば、それぞれ1MΩ程度の抵抗値をとる。差動増幅器16は、抵抗r(34a、34b)、抵抗R(36a、36b)およびオペアンプ38を有する。このとき、差動増幅器16の増幅率は、R/rである。レベルシフト部18は、差動増幅器16で増幅された電圧信号24から、所定のDCオフセット分(DCV)を取り除く加算回路である。レベルシフト部18は、シフト電圧信号26をゲインアンプ20に出力し、ゲインアンプ20は、シフト電圧信号26を増幅して出力する。

【0005】上述したとおり、バッファ32aおよび32bは、高インピーダンスを有する。従来の差動信号処理回路10においては、切替リレー28aおよび28bを開閉することによって、入力インピーダンスの切り替えを行っていた。

【0006】図3は、従来の差動信号処理回路10における入力インピーダンスの切り替えを説明するための図である。バッファ32aは、およそ1MΩの入力抵抗を有する。切替リレー28aが開いているとき(すなわち、図示される状態のとき)、入力インピーダンスは、高インピーダンス(1MΩ)となる。一方、切替リレー28aが閉じているとき、抵抗30aと抵抗48aとが並列接続するので、入力インピーダンスは、低インピーダンス(約50Ω)となる。このよう

に、従来の差動信号処理回路10においては、切替リレー28aおよび28bにより、伝送路と低抵抗部(50Ω)とを接続または非接続とすることによって、入力インピーダンスの調整(切り替え)を行っていた。

【0007】

【発明が解決しようとする課題】上述したとおり、従来の差動信号処理回路10は、切替リレー28aおよび28bを開閉することによって、入力インピーダンスの調整を行っていた。例えば、特性インピーダンスが高い場合には、切替リレー28aおよび28bを開いて、入力インピーダンスを、1MΩの高インピーダンスとする。一方、特性インピーダンスが低いときには、切替リレー28aおよび28bを閉じて、入力インピーダンスを約50Ωの低インピーダンスとする。さらに、デバイスの駆動能力に応じて、入力インピーダンスの調整を行うこともある。例えば、デバイスの出力駆動能力が強く、出力信号周波数が高いときには、後段の経路の入力インピーダンスを約50Ωの低インピーダンスとする。特に、出力信号周波数が10MHzを越えると、インピーダンスを整合させるために、後段の経路入力インピーダンスを低インピーダンスとする必要がある。一方、デバイスの出力駆動能力が弱く、出力信号周波数が低い場合には、後段の経路の入力インピーダンスを1MΩの高インピーダンスとする。デバイスの出力信号周波数が低ければ、インピーダンスを整合する必要性に乏しいので、出力駆動能力に関わらず、後段の経路入力インピーダンスを高インピーダンスとしてもよい。このように、差動信号処理回路10は、伝送される信号の種類に応じて、入力インピーダンスの調整を行っていた。

【0008】高入力インピーダンスを実現するには、FETの入力バッファ32a、32bを使用するのが有効である。しかしながら、FETの入力バッファ32aおよび32bを通る信号は、FETの入力-出力特性により、歪特性が劣化するという欠点がある。特に、例えば10MHzを超えるような高周波信号が入力バッファ32aおよび32bに入力されると、そのような高周波信号は、許容できない程度に歪んでしまうことがある。そのため、高周波までの低歪の性能を確保できるFETバッファを使用するのが好ましいが、そのようなFETバッファを形成するのは実際には困難であり、また費用もかかる。従来の差動信号処理回路10においては、伝送信号が必ずFET入力バッファ32a、32bに入力されるので、歪特性を劣化することなく高周波信号を伝送することが困難であった。

【0009】そこで本発明は、上記課題を解決することのできるアナログ信号処理回路を提供することを目的とする。また、本発明によるアナログ信号処理回路の原理を、波形ディジタイザ、オシロスコープ、および半導体デバイス試験装置などの機器に応用することも、本発明の目的とする。この目的は特許請求の範囲における独立

項目記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【0010】

【課題を解決するための手段】上記課題を解決するため、本発明の第1の形態は、アナログ信号を処理するアナログ信号処理回路であって、前記アナログ信号が入力される入力端子と、前記入力端子に対して設けられる、所定の入力インピーダンスを有する高インピーダンス入力経路と、前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い入力インピーダンスを有する低インピーダンス入力経路と、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った、前記アナログ信号を出力する出力切替部とを備えることを特徴とするアナログ信号処理回路を提供する。第1の形態によるアナログ信号処理回路では、高インピーダンス入力経路と低インピーダンス入力経路の2つの経路を設けることによって、入力インピーダンスの調整を可能としたことを特徴とする。

【0011】第1の形態の一つの態様において、前記アナログ信号が差動信号である場合に、アナログ信号処理回路が、前記差動信号を構成する2つの信号が入力される2つの前記入力端子と、前記入力端子のそれぞれに対して設けられる、前記高インピーダンス入力経路、前記低インピーダンス入力経路および前記出力切替部とを備える。高インピーダンス入力経路および低インピーダンス入力経路を差動信号を構成する2つの信号のそれぞれに設けることによって、差動信号においても、入力インピーダンスを調整することが可能となる。

【0012】第1の形態の別の態様において、アナログ信号処理回路が、前記入力端子に入力された前記アナログ信号を、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方に供給する入力切替部を備えてもよい。

【0013】第1の形態の更に別の態様において、前記高インピーダンス入力経路が、バッファ回路を含む。

【0014】第1の形態の更に別の態様において、アナログ信号処理回路が、前記出力切替部に電気的に接続された、所定のインピーダンスを有する定インピーダンス回路を更に備えてもよい。

【0015】第1の形態の更に別の態様において、前記低インピーダンス入力経路とアースとを接続する抵抗が設けられ、前記抵抗と、前記定インピーダンス回路における前記所定のインピーダンスとが、前記高インピーダンス入力経路が有する前記入力インピーダンスよりも低いインピーダンスを構成してもよい。

【0016】第1の形態の更に別の態様において、アナログ信号処理回路が、前記出力切替部が出力する信号の少なくとも一方から、所定の電圧分を除去するレベルシフト部を更に備えてもよい。

【0017】第1の形態の更に別の態様において、前記

レベルシフト部は、前記出力切替部が出力する双方の信号から、前記所定の電圧分を除去することができる。

【0018】第1の形態の更に別の態様において、前記レベルシフト部は、前記出力切替部が出力する信号の一方のみから、前記所定の電圧分を除去することができる。

【0019】第1の形態の更に別の態様において、前記レベルシフト部は、前記出力切替部に電気的に接続された、所定のインピーダンスを有する定インピーダンス回路を含んでもよい。

【0020】第1の形態の更に別の態様において、前記バッファ回路の電源電圧が、前記アナログ信号のオフセット電圧に基づいて変動されてもよい。

【0021】第1の形態の更に別の態様において、アナログ信号処理回路が、前記レベルシフト部の出力を増幅する増幅器を更に備えてよい。

【0022】また、第1の形態におけるアナログ信号処理回路を利用して、本発明の第2の形態は、差動信号として入力されるアナログ信号を、ディジタル信号に変換するAD変換装置を提供する。このAD変換装置は、前記差動信号を構成する2つの信号が入力される2つの入力端子と、前記入力端子のそれぞれに対して設けられる、所定の入力インピーダンスを有する高インピーダンス入力経路と、前記入力端子のそれぞれに対して設けられる、前記高インピーダンス入力経路よりも低い入力インピーダンスを有する低インピーダンス入力経路と、前記入力端子のそれぞれに対して設けられる、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った、前記アナログ信号を出力する出力切替部と、前記出力切替部から出力される前記アナログ信号の電圧差に基づいて、電圧信号を出力する差動増幅器と、前記電圧信号をディジタル信号に変換するADコンバータとを備えることを特徴とする。AD変換装置の入力部に、高インピーダンス入力経路および低インピーダンス入力経路の2つの信号経路を設けることによって、AD変換装置における入力インピーダンスの調整を行うことが可能となる。したがって、このAD変換装置は、信頼性の高いA/D変換を行うことが可能となる。

【0023】第2の形態の一つの態様において、AD変換装置が、前記出力切替部のそれぞれに電気的に接続された、所定のインピーダンスを有する定インピーダンス回路を更に備えてよい。

【0024】第2の形態の別の態様において、前記インピーダンス入力経路とアースとを接続する抵抗が更に設けられ、前記抵抗と、前記定インピーダンス回路における前記所定のインピーダンスとが、前記高インピーダンス入力経路が有する前記入力インピーダンスよりも低いインピーダンスを構成することが好ましい。

【0025】また、第1の形態におけるアナログ信号処

理回路を利用して、本発明の第3の形態は、前記被試験デバイスから出力されるアナログ信号をデジタル信号に変換する波形ディジタイザと、前記デジタル信号に基づいて、前記被試験デバイスの良否を測定する測定部とを備えた、被試験デバイスを試験する半導体デバイス試験装置を提供する。この半導体デバイス試験装置において、前記波形ディジタイザが、前記アナログ信号が入力される入力端子と、前記入力端子に対して設けられる、所定の入力インピーダンスを有する高インピーダンス入力経路と、前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い入力インピーダンスを有する低インピーダンス入力経路と、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った、前記アナログ信号を出力する出力切替部と、前記出力切替部から出力される前記アナログ信号を、前記デジタル信号に変換するADコンバータとを有することを特徴とする。第3の形態の半導体デバイス試験装置において、波形ディジタイザの入力部でインピーダンスを整合することが可能となるので、信頼性の高いアナログデバイスの試験が実現可能となる。

【0026】第3の形態の一つの態様において、前記波形ディジタイザが、差動信号である前記アナログ信号を構成する2つの信号が入力される2つの前記入力端子と、前記入力端子のそれぞれに対して設けられる、前記高インピーダンス入力経路、前記低インピーダンス入力経路および前記出力切替部と、前記出力切替部から出力される前記アナログ信号の電圧差に基づいて、電圧信号を出力する差動増幅器と、前記電圧信号を前記デジタル信号に変換するADコンバータとを有する。この波形ディジタイザは、差動で入力されるアナログ信号を、高い信頼性でデジタル信号に変換することができる。

【0027】また、第1の形態におけるアナログ信号処理回路を利用して、本発明の第4の形態は、少なくとも1つの接触端子と、前記接触端子に入力される電気信号を伝送する伝送路と、前記伝送路により伝送される前記電気信号が入力される信号入力回路と、前記信号入力回路に入力された前記電気信号を処理する処理部とを備えるオシロスコープを提供する。このオシロスコープにおいて、前記信号入力回路が、前記電気信号が入力される入力端子と、前記入力端子に対して設けられる、所定の入力インピーダンスを有する高インピーダンス入力経路と、前記入力端子に対して設けられる、前記高インピーダンス入力経路よりも低い入力インピーダンスを有する低インピーダンス入力経路と、前記高インピーダンス入力経路または前記低インピーダンス入力経路のいずれか一方を通った前記電気信号を、前記処理部に出力する出力切替部とを備えることを特徴とする。第1の形態によるアナログ信号処理回路を利用することによって、本発明の第4の形態におけるオシロスコープは、インピーダンスを整合することのできる入力部を有することが可能

となる。

【0028】なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

【0029】

【発明の実施の形態】以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0030】図4は、本発明の第1の実施形態による、アナログ信号を処理するアナログ信号処理回路100を示す。アナログ信号処理回路100は、信号入力回路70、レベルシフト部60、増幅器62およびゲインアンプ20を備える。信号入力回路70は、入力端子50、入力切替部52、高インピーダンス入力経路54、低インピーダンス入力経路56、および出力切替部58を有する。入力切替部52、高インピーダンス入力経路54、低インピーダンス入力経路56および出力切替部58は、入力端子50に対して設けられている。高インピーダンス入力経路54は、所定の高いインピーダンスを有する。一方、低インピーダンス入力経路56は、高インピーダンス入力経路54よりも低い入力インピーダンスを実現する。高インピーダンス入力経路54と低インピーダンス入力経路56とは、互いに並列に設けられる。

【0031】入力端子50に、アナログ信号22が入力される。入力切替部52は、入力端子50に入力されたアナログ信号22を、高インピーダンス入力経路54または低インピーダンス入力経路56のいずれか一方に供給する。例えば、アナログ信号22を出力するデバイスの駆動能力が弱く、アナログ信号22が低周波信号である場合、入力切替部52は、アナログ信号22を高インピーダンス入力経路54に供給するのが好ましい。一方、アナログ信号22を出力するデバイスの駆動能力が強く、アナログ信号22が高周波信号である場合、入力切替部52は、アナログ信号22を低インピーダンス入力経路56に供給するのが好ましい。

【0032】出力切替部58は、高インピーダンス入力経路54または低インピーダンス入力経路56のいずれか一方を通ったアナログ信号22を出力する。入力切替部52および出力切替部58は、協働して、信号経路を選択的に切り替えることができる。すなわち、入力切替部52がアナログ信号22を高インピーダンス入力経路54に供給すると、出力切替部58は、高インピーダンス入力経路54を通ったアナログ信号22を出力する。一方、入力切替部52がアナログ信号22を低インピーダンス入力経路56に供給すると、出力切替部58は、低インピーダンス入力経路56を通ったアナログ信号22を出力する。ここで、低インピーダンス入力経路56

の抵抗成分と、レベルシフト部60における抵抗成分とが、高インピーダンス入力経路54の入力インピーダンスよりも低い入力インピーダンスを実現してもよい。

【0033】出力切替部58から出力されたアナログ信号22は、レベルシフト部60に供給される。レベルシフト部60は、アナログ信号22から、所定の電圧分を除去することができる。例えば、レベルシフト部60は、差動出力信号のDCコモンモード電圧や、出力信号のDCオフセット電圧を、アナログ信号22から除去することができる。このようにして、レベルシフト部60は、アナログ信号22から所定のレベルだけシフトしたシフト電圧信号26を増幅器62に出力する。増幅器62は、シフト電圧信号26を増幅する。さらに、ゲインアンプ20は、増幅器62から出力される信号の振幅レンジを切り替えることができる。

【0034】以上のように、第1の実施形態によるアナログ信号処理回路100は、アナログ信号22の種類に応じて、信号経路を選択的に切り替えるので、インピーダンス整合をとることが可能となる。

【0035】図5は、本発明の第2の実施形態による、差動信号であるアナログ信号を処理するアナログ信号処理回路100を示す。アナログ信号処理回路100は、2つの信号入力回路70a、70b、レベルシフト部60、増幅器62およびゲインアンプ20を備える。信号入力回路70aは、入力端子50a、入力切替部52a、高インピーダンス入力経路54a、低インピーダンス入力経路56a、および出力切替部58aを有する。同様に、信号入力回路70bは、入力端子50b、入力切替部52b、高インピーダンス入力経路54b、低インピーダンス入力経路56b、および出力切替部58bを有する。入力切替部52a、52b、高インピーダンス入力経路54a、54b、低インピーダンス入力経路56a、56bおよび出力切替部58a、58bは、図4に示された入力切替部52、高インピーダンス入力経路54、低インピーダンス入力経路56および出力切替部58と同一または同様の構成および機能を有する。

【0036】入力端子50aおよび50bに、差動信号を構成する2つのアナログ信号22aおよび22bがそれぞれ入力される。信号入力回路70aおよび70bは同様の構成を有するので、以下に、両者を代表して、信号入力回路70aの動作について説明する。

【0037】入力切替部52aは、入力端子50に入力されたアナログ信号22aを、高インピーダンス入力経路54aまたは低インピーダンス入力経路56aのいずれか一方に供給する。例えば、アナログ信号22aを出力するデバイスの駆動能力が弱く、アナログ信号22aが低周波信号である場合、入力切替部52aは、アナログ信号22aを高インピーダンス入力経路54aに供給するのが好ましい。一方、アナログ信号22aを出力するデバイスの駆動能力が強く、アナログ信号22aが高

周波信号である場合、入力切替部52aは、アナログ信号22aを低インピーダンス入力経路56aに供給するのが好ましい。

【0038】出力切替部58aは、高インピーダンス入力経路54aまたは低インピーダンス入力経路56aのいずれか一方を通ったアナログ信号22aを出力する。入力切替部52aおよび出力切替部58aは、協働して、信号経路を選択的に切り替えることができる。すなわち、入力切替部52aがアナログ信号22aを高インピーダンス入力経路54aに供給すると、出力切替部58aは、高インピーダンス入力経路54aを通ったアナログ信号22aを出力する。一方、入力切替部52aがアナログ信号22aを低インピーダンス入力経路56aに供給すると、出力切替部58aは、低インピーダンス入力経路56aを通ったアナログ信号22aを出力する。ここで、低インピーダンス入力経路56aの抵抗成分と、レベルシフト部60における抵抗成分とが、高インピーダンス入力経路54aの入力インピーダンスよりも低い入力インピーダンスを実現してもよい。

【0039】同様に、信号入力回路70bにおいても、出力切替部58bが、高インピーダンス入力経路54bまたは低インピーダンス入力経路56bのいずれか一方を通ったアナログ信号22bを出力する。信号入力回路70aおよび70bにおいて選択される信号経路は、互いに同一であることが望ましい。

【0040】出力切替部58aから出力されたアナログ信号22aは、レベルシフト部60に供給される。同様に、出力切替部58bから出力されたアナログ信号22bは、レベルシフト部60に供給される。レベルシフト部60は、アナログ信号22aおよび22bのそれぞれから、所定の電圧分を除去することができる。例えば、レベルシフト部60は、差動出力信号のDCコモンモード電圧や、出力信号のDCオフセット電圧を、アナログ信号22から除去することができる。アナログ信号22aが差動信号の正成分であり、アナログ信号22bが差動信号の負成分であるとき、レベルシフト部60は、アナログ信号22aおよび22bから、差動信号のコモン電圧を取り除いてよい。また、アナログ信号22aがシングルエンド信号であり、アナログ信号22bがグランド信号であるとき、レベルシフト部60は、アナログ信号22aから、オフセット電圧を取り除いてよい。レベルシフト部60は、アナログ信号22aおよび22bから、所定のレベルをシフトしたシフト電圧信号26aおよび26bを出力する。

【0041】増幅器62は、レベルシフト部60の出力を増幅する。第2の実施形態において、増幅器62は、シフト電圧信号26aおよび26bの差分を増幅して出力する差動増幅器である。ゲインアンプ20は、増幅器62から出力される信号の振幅レンジを切り替えることができる。

【0042】以上のように、第2の実施形態によるアナログ信号処理回路100は、差動信号であるアナログ信号22の種類に応じて、信号経路を選択的に切り替えるので、インピーダンス整合をとることが可能となる。

【0043】図6は、本発明の第2の実施形態におけるアナログ信号処理回路100の具体的な回路の一構成例を示す。アナログ信号処理回路100は、2つの信号入力回路70a、70b、レベルシフト部60、増幅器62およびゲインアンプ20を備える。信号入力回路70aは、入力端子50a、入力切替部52a、高インピーダンス入力経路54a、低インピーダンス入力経路56a、出力切替部58aおよび抵抗82aを有する。同様に、信号入力回路70bは、入力端子50b、入力切替部52b、高インピーダンス入力経路54b、低インピーダンス入力経路56b、出力切替部58bおよび抵抗82bを有する。信号入力回路70aおよび70bは同様の構成を有しているので、以下において、両者を代表して、信号入力回路70aの構成および動作について説明する。

【0044】高インピーダンス入力経路54aは、バッファ回路80aを含み、このバッファ回路80aは、約1MΩの入力抵抗を有している。入力切替部52aおよび出力切替部58aが高インピーダンス入力経路54aと接続するとき、入力端子50aにおける入力インピーダンスは、高インピーダンスとなる。一方、低インピーダンス入力経路56aは、図示される構成においては、直列接続されるインピーダンス成分（抵抗成分）を有しない。この実施例において、低インピーダンス入力経路56aに、抵抗値Rの抵抗82aの一端が接続され、レベルシフト部60に設けられた抵抗72aと抵抗82aとが、50Ωの入力抵抗を実現する。抵抗82aの他端は、接地されている。したがって、入力切替部52aおよび出力切替部58aが低インピーダンス入力経路56aと接続するとき、入力端子50aにおける入力インピーダンスは、低インピーダンスとなる。入力切替部52aおよび出力切替部58aは、切替リレーであり、信号伝送経路を切り替える機能を有する。

【0045】レベルシフト部60は、定インピーダンス回路84a、84b、抵抗72c、72d、切替リレー76およびVoffset供給部78を有する。定インピーダンス回路84aは、抵抗72a、72e、およびオペアンプ74aを含み、所定のインピーダンスを有している。また、定インピーダンス回路84bも同様に、抵抗72b、72f、およびオペアンプ74bを含み、所定のインピーダンスを有している。抵抗72a、72bは、抵抗値rを有する。上述したように、本実施例においては、低インピーダンス入力経路56aに接続された抵抗82a（抵抗値R）と抵抗72a（抵抗値r）は、50Ωの入力抵抗（インピーダンス）を実現する。すなわち、rとRは、

$$r \cdot R / (r + R) = 50$$

の関係を満たす。したがって、低インピーダンス入力経路56aの抵抗値Rは、

$$R = r \cdot 50 / (r - 50)$$

に設定される。

【0046】入力切替部52aおよび出力切替部58aが、低インピーダンス入力経路56a側の信号経路を選択することによって、50Ωの低い入力インピーダンスを実現することができる。r=50、R=∞であってもよい。抵抗72aの抵抗値rが固定である場合、抵抗82aの抵抗値Rを可変とすることによって、信号経路の入力インピーダンスを任意に変更することが可能となる。このとき、信号経路の入力インピーダンスは50Ωに限られず、所望の値に設定することができる。

【0047】レベルシフト部60は、信号入力回路70aおよび70bから供給されるアナログ信号22aおよび22bの少なくとも一方から、所定の電圧分を除去する機能を有する。除去される電圧は、差動信号のコモン電圧や、シングルエンド信号における観測波形中心電圧などがある。以下に、これらの電圧を総称して、オフセット電圧Voffsetと呼ぶ。

【0048】アナログ信号22aが差動信号の正成分であり、アナログ信号22bが差動信号の負成分であるとき、レベルシフト部60は、アナログ信号22aおよび22bの双方から、差動信号のコモン電圧を除去することができる。このとき、-Voffset供給部78において、Voffsetが差動出力のDCコモン電圧に設定され、切替リレー76が、-Voffset供給部78側に切り替えられる。

【0049】また、アナログ信号22aがシングルエンド信号であり、アナログ信号22bがグランド信号であるとき、レベルシフト部60は、アナログ信号22aのみから、観測波形が0Vを中心に動作するように、観測波形中心電圧を除去することができる。このとき、-Voffset供給部78において、Voffsetが観測波形中心電圧に設定される。また、グランド信号のレベルをシフトする必要がないので、切替リレー76が、アース側に切り替えられる。

【0050】オペアンプ74aおよび74bは、レベルシフトされたシフト電圧信号26aおよび26bを出力する。前述したように、アナログ信号22bがグランド信号であるとき、シフト電圧信号26bは、レベルシフトされていないともよい。シフト電圧信号26aおよび26bは、後段の増幅器62に入力される。本実施例では、増幅器62は、図2において示された差動増幅器16であってよい。増幅器62は、シフト電圧信号26aおよび26bの差分を増幅した増幅信号64を出力する。さらに、ゲインアンプ20は、増幅信号64の振幅レンジを切り替えることができる。

【0051】図7(a)は、アナログ信号22aが差動

信号の正成分であり、アナログ信号22bが差動信号の負成分であるときの、アナログ信号22aおよび22bの信号波形を示す。図示されるように、差動信号22aおよび22bの双方に、DCコモン電圧であるオフセット電圧Voffsetが加えられている。

【0052】図7(b)は、図7(a)に示されるアナログ信号22aおよび22bから、所定の電圧Voffset(コモン電圧)が除去され、増幅器62から出力された増幅信号64の信号波形を示す。この例において、増幅信号64の増幅率は1である。オフセット電圧Voffsetを取り除いた結果、増幅信号64が、0Vを中心とした信号波形を有するようになった。

【0053】図7(c)は、アナログ信号22aがシングルエンド信号であり、アナログ信号22bがグランド信号であるときの、アナログ信号22aおよび22bの信号波形を示す。アナログ信号22aに、所定のオフセット電圧Voffsetが加えられている。アナログ信号22bは、0Vに固定されている。

【0054】図7(d)は、図7(c)に示されるアナログ信号22aから、所定の電圧Voffset(観測波形中心電圧)が除去され、増幅器64から出力された増幅信号64の信号波形を示す。オフセット電圧Voffsetを取り除いた結果、増幅信号64が、0Vを中心とした信号波形を有するようになった。

【0055】図8は、図6に示された信号入力回路70aの変形実施例を示す。この信号入力回路70aは、図6に示された信号入力回路70aと異なり、入力切替部52aを有しない。高インピーダンス入力経路54aは、入力バッファ回路80aを含む。この変形実施例における出力切替部58aが、高インピーダンス入力経路54aまたは低インピーダンス入力経路56aを選択的に切り替えることにより、図6に示された信号入力回路70aと同様の機能を実現することができる。出力切替部58aが低インピーダンス入力経路56a側に閉じる場合に、抵抗82aと抵抗72aとが、例えば50Ωの低抵抗を形成することが好ましい。

【0056】図9は、本発明の第2の実施形態におけるアナログ信号処理回路100の具体的な回路図の変形例を示す。アナログ信号処理回路100は、信号入力回路70a、70b、レベルシフト部60、増幅器62およびゲインアンプ20を備える。信号入力回路70aは、バッファ回路80aを含み、信号入力回路70bは、バッファ回路80bを含む。レベルシフト部60は、-Voffset供給部78a、-Vnoffset供給部78b、抵抗72c、72d、定インピーダンス回路84a、84bを有する。図9において図6における符号と同一の符号が付された構成は、図6における対応する構成と同一または同様の構成を有する。図9に示された変形例において、以下に、図6に示されたアナログ信号処理回路100と異なる点について説明する。

【0057】信号入力回路70aにおけるバッファ回路80aは、正および負の電源電圧により駆動される。信号入力回路70bにおけるバッファ回路80bも、同様に、正および負の電源電圧により駆動される。例えば、通常の状態において、正の電源電圧は、+5Vであり、負の電源電圧は、-5Vである。

【0058】この変形例においては、アナログ信号22aおよび22bを0V中心の信号波形とするために、-V_{p offset}供給部78aおよび-V_{n offset}供給部78bがそれぞれ設けられる。図6に示される実施例においては、アナログ信号22aおよび22bの電圧をシフトさせるために、1つの-V_{offset}供給部78が設けられていた。これに対して、図9に示される変形例においては、アナログ信号22aおよび22bのそれぞれに対して、-V_{p offset}供給部78aおよび-V_{n offset}供給部78bを独立して設けたことを一つの特徴としている。-V_{p offset}供給部78aおよび-V_{n offset}供給部78bを独立して設けることにより、アナログ信号22aおよびアナログ信号22bのそれぞれのオフセット電圧を、独立して取り除くことも可能となる。

【0059】更に、図9に示されたアナログ信号処理回路100においては、バッファ回路80aおよび80bの電源電圧を調整することも一つの特徴としている。具体的には、バッファ回路80aに供給される正の電源電圧V_{PP}および負の電源電圧V_{PM}は、以下のように調整される。

$$\begin{aligned} V_{PP} &= +5V + V_{p offset} \\ V_{PM} &= -5V + V_{p offset} \end{aligned}$$

同様に、バッファ回路80bに供給される正の電源電圧V_{NP}および負の電源電圧V_{NM}は、以下のように調整される。

$$\begin{aligned} V_{NP} &= +5V + V_{n offset} \\ V_{NM} &= -5V + V_{n offset} \end{aligned}$$

以上のように、オフセット電圧(V_{p offset}およびV_{n offset})に連動して電源電圧を調整することによって、バッファ回路80aおよび80bが、最適な動作電圧を中心駆動されることが可能となる。

【0062】図10は、図9に示されたアナログ信号処理回路100に、電源電圧(V_{PP}、V_{PM}、V_{NP}、V_{NM})およびオフセット電圧(V_{p offset}、V_{n offset})を供給する電圧供給回路90の一つの実施例を示す。電圧供給回路90は、DAC(デジタル/アナログコンバータ)92、保護回路144、ポジティブ差動信号用電源電圧供給部140a、ネガティブ差動信号用電源電圧供給部140b、オフセット電圧供給部142、およびアース切替部130を備える。DAC92は、電圧のシフト量を指定するデジタルの電圧シフト信号を受け取り、アナログの電圧シフト信号を出力する。

【0063】オフセット電圧供給部142は、フィルタ

146、アース切替部128および出力端子132、134を有する。フィルタ146は、抵抗120、124、オペアンプ122、キャパシタンス126を含み、アクティブフィルタを構成する。フィルタ146において、抵抗120がオペアンプ122の負入力に接続されている。オペアンプ122の正入力は、接地されている。オペアンプ122の出力は、並列接続した抵抗124およびキャパシタンス126により負帰還される。オペアンプ122の出力は、出力端子132と、アース切替部128の一つの入力端子に接続される。したがって、フィルタ146でフィルタ処理された電圧シフト信号が、出力端子132と、アース切替部128の一つの入力端子に供給される。アース切替部128は、オペアンプ122の出力またはアース電位のいずれか一方を、出力端子134に供給する。

【0064】この結果、出力端子132には、オフセット電圧V_{p offset}が供給され、出力端子134には、オフセット電圧V_{n offset}が供給される。V_{n offset}は、V_{p offset}と等しいか、又はアース電位である。図9を参照して、オフセット電圧V_{p offset}は、出力端子132から-V_{p offset}供給部78aに供給され、オフセット電圧V_{n offset}は、出力端子134から-V_{n offset}供給部78bに供給される。

【0065】保護回路144は、抵抗94とツェナーダイオード部96を有する。ツェナーダイオード部96は、互いに反対向きのツェナーダイオードにより構成され、一端がアースに接続される。

【0066】ポジティブ差動信号用電源電圧供給部140aは、フィルタ148a、電圧フォロワ104a、ツェナーダイオード106a、108a、定電流回路110a、バッファ150a、152a、および出力端子112、114を有する。フィルタ148aは、抵抗98aとキャパシタンス102aを有し、パッシブフィルタを構成する。同様に、ネガティブ差動信号用電源電圧供給部140bは、フィルタ148b、電圧フォロワ104b、ツェナーダイオード106b、108b、定電流回路110b、バッファ150b、152b、および出力端子116、118を有する。フィルタ148bは、抵抗98bとキャパシタンス102bを有し、パッシブフィルタを構成する。

【0067】フィルタ148aの出力は、電圧フォロワ104aの正入力に接続される。また、ツェナーダイオード106aおよび108aは、同じ向きで直列接続され、電圧フォロワ104aの出力が、ツェナーダイオード106aおよび108aを結ぶ伝送線路に接続される。定電流回路110aが、ツェナーダイオード106aに対して、逆方向の電流を供給する。ツェナーダイオード106aおよび108aの接続の両端には、バッファ150aおよび152aがそれぞれ接続される。バッファ150aおよび152aは、それぞれ出力端子11

2および114に、電源電圧VPPおよびVPMを供給する。図9を参照して、VPPは、バッファ回路80aに正の電源電圧として供給され、VPMは、負の電源電圧として供給される。

【0068】ネガティブ差動信号用電源電圧供給部140bも、ポジティブ差動信号用電源電圧供給部140aと同一または同様の機能および構成を有する。ネガティブ差動信号用電源電圧供給部140bの前段には、切替部130が設けられている。切替部130の一方の入力端子は、保護回路144を介してDAC92に接続され、他方の入力端子は、グランドに接地されている。切替部130は、前述した切替部128と連動して動作する。すなわち、切替部128が接続をグランド入力端子側に切り替えるときには、切替部130も接続をグランド入力端子側に切り替え、切替部128が接続を他方の入力端子に切り替えるときには、切替部130も接続を他方の入力端子に切り替える。ポジティブ差動信号用電源電圧供給部140aに関して説明したように、ネガティブ差動信号用電源電圧供給部140bにおいても、出力端子116および118に、電源電圧VNPおよびVNMのそれぞれが供給される。図9を参照して、VNPは、バッファ回路80bに正の電源電圧として供給され、VNPは、負の電源電圧として供給される。

【0069】図11は、図10に示された電圧供給回路90の別の変形例を示す。この変形例においては、オフセット電圧V_{p offset}および電源電圧VPP、VPMを生成する電圧生成回路と、オフセット電圧V_{n offset}および電源電圧VNP、VNMを生成する電圧生成回路とが、独立した構成を有している。この電圧供給回路90は、DAC92a、92b、ポジティブ差動信号用電源電圧供給部140a、ネガティブ差動信号用電源電圧供給部140b、保護回路144a、144b、およびフィルタ146a、146bを備える。ポジティブ差動信号用電源電圧供給部140は、フィルタ148a、電圧フォロワ104a、ツエナーダイオード106a、108a、定電流回路110a、バッファ150a、152a、および出力端子112、114を有する。同様に、ネガティブ差動信号用電源電圧供給部140bは、フィルタ148b、電圧フォロワ104b、ツエナーダイオード106b、108b、定電流回路110b、バッファ150b、152b、および出力端子116、118を有する。図11において、図10で付された符号と同一または同様の符号が付された構成は、図10において対応する構成と同一または同様の構成である。

【0070】DAC92aは、ポジティブ差動信号用のデジタルの電圧シフト信号を受け取り、アナログのポジティブ電圧シフト信号を出力する。一方、DAC92bは、ネガティブ差動信号用のデジタルの電圧シフト信号を受け取り、アナログのネガティブ電圧シフト信号を出力する。このように、電圧供給部90には、ポジテ

ィブ差動信号用およびネガティブ差動信号用の電圧シフト信号が独立して供給され、その結果、オフセット電圧V_{p offset}および電源電圧VPP、VPMと、オフセット電圧V_{n offset}および電源電圧VNP、VNMとが独立して生成されることが可能となる。独立して生成されたV_{p offset}、VPP、VPMと、V_{n offset}、VNP、VNMは、それぞれ独立して、図9に示されたアナログ信号処理回路100に供給される。

【0071】以下に、これまで説明してきたアナログ信号処理回路100を応用した発明について説明する。

【0072】図12は、被試験デバイス210を試験する半導体デバイス試験装置200のブロック図を示す。半導体デバイス試験装置200は、試験信号発生器202、信号入出力部204、波形ディジタイザ206、および測定部208を備える。試験中、被試験デバイス210は、信号入出力部204に電気的に接続される。被試験デバイス210がICパッケージに実装されている場合、信号入出力部204は、デバイスのピンと電気的に接続する。この実施例において、被試験デバイス210は、アナログ回路であってよい。

【0073】試験信号発生器202は、被試験デバイス210に入力する試験信号を生成する。試験信号発生器202は、試験項目に応じて、任意の試験信号を生成することができる。信号入出力部204は、試験信号を受け取り、試験信号を被試験デバイス210に供給する。被試験デバイス210は、試験信号に基づいて、出力結果となるアナログ信号を出力する。出力されたアナログ信号は、信号入出力部204を介して、波形ディジタイザ206に供給される。波形ディジタイザ206は、アナログ信号をデジタル信号に変換し、測定部208に出力する。測定部208は、デジタル信号に基づいて、被試験デバイス210の良否を測定する。具体的には、測定部208は、正常なデバイスの応答として期待される期待値と、波形ディジタイザ206から供給されるデジタル信号とを比較することにより、被試験デバイス210の良否を判定することができる。図12においては、被試験デバイス210に、試験信号発生器202で生成された試験信号が入力されているが、被試験デバイス210には、必ずしも試験信号が入力されなくてもよい。被試験デバイス210に試験信号が入力されるか否かは、被試験デバイス210の種類に依存する。例えば、被試験デバイス210が発振器を有するアナログ素子である場合、被試験デバイス210は、試験開始時にセットアップされ、その後、アナログ信号を出力することができる。

【0074】図13は、図12に示された半導体デバイス試験装置200が有する波形ディジタイザ206の一実施例を示す。波形ディジタイザ206は、AD（アナログ/デジタル）変換装置220、波形メモリ228およびクロック発生器226を備える。AD変換装置2

20は、アナログ信号処理回路100、アンチエイリアジングローパスフィルタ222およびADコンバータ224を有する。アンチエイリアジングローパスフィルタ222は、解析アナログ信号の帯域をナイキスト周波数以内に制限するために設けられるADコンバータ前置フィルタである。この実施例においては、アナログ信号処理回路100に差動信号であるアナログ信号(22a、22b)が入力されているが、別の実施例においては、アナログ信号は、差動信号でなくてもよい。

【0075】アナログ信号処理回路100は、図4から11に関連して説明したアナログ信号処理回路100に相当し、アナログ信号処理回路100に関する詳細な説明については省略する。アナログ信号処理回路100は、差動信号を構成する2つのアナログ信号22aおよび22bの電圧差に基づいて、その電圧差に関連するアナログの電圧信号を出力する。電圧信号は、アンチエイリアジングローパスフィルタ222に入力される。アンチエイリアジングローパスフィルタ222は、電圧信号の帯域をナイキスト周波数以内に制限する。帯域を制限された電圧信号は、ADコンバータ224に供給される。ADコンバータ224は、電圧信号をデジタル信号に変換する。このようにして、AD変換装置220は、アナログ信号(22a、22b)をデジタル信号に変換することができる。

【0076】クロック発生器226が、ADコンバータ224および波形メモリ228の動作を制御する。ADコンバータ224は、クロック発生器226から供給されるクロックに同期して、アナログ信号のサンプリングを行い、また、波形メモリ228は、クロックに同期して、変換されたデジタル信号(データ)を格納する。図12に示された半導体デバイス試験装置200において、格納されたデジタルデータは、後段の測定部208に読み出される。

【0077】図14は、対象物の電気に関する量を表示または測定するオシロスコープ240を示す。オシロスコープ240は、オシロスコープ本体242、接触端子244a、244bおよび伝送路246を備える。オシロスコープ242は、信号入力回路70、処理部250および表示部252を有する。本実施例において、接触端子(244a、244b)は2つ設けられているが、他の実施例においては、接触端子は、1つまたは3つ以上設けられてもよい。また、接触端子(244a、244b)は、定インピーダンスの導体により形成されるのが好ましい。

【0078】本実施例において、例えば、接触端子244aが対象物の測定点に接触し、接触端子244bが接地される。伝送路246は、接触端子244aおよび244bに入力される電気信号を、オシロスコープ本体242に伝送する。このとき、伝送路246は、同軸ケーブルであるのが好ましい。

【0079】電気信号は、差動で信号入力回路70に入力される。信号入力回路70は、図4から11に関連して説明した信号入力回路70に相当し、信号入力回路70に関する詳細な説明については省略する。この実施例においては、信号入力回路70は、2つの信号入力回路70aおよび70bを含む。

【0080】信号入力回路70の出力は、処理部250に供給される。処理部250は、入力部に、図6に示された定インピーダンス回路84aおよび84bを有するレベルシフト部60を有するのが好ましい。処理部250は、信号入力回路70から出力された電気信号を処理する。例えば、処理部250は、表示部252において電圧波形を表示するための処理を行う。表示部252は、処理部250から送られる信号に基づいて、電圧波形などを表示することができる。

【0081】以上、図12～14に関連して、本発明によるアナログ信号処理回路100を応用した実施例について説明したが、他の機器等にも応用することができる。本発明によるアナログ信号処理回路100は、入力インピーダンスを好適に変更することを可能とすることを一つの特徴とし、各種信号伝送路の入力部に設けられることができるものである。

【0082】上記説明から明らかなように、本発明によれば、入力インピーダンスを可変とするアナログ信号処理回路100を提供することができる。また、本発明によれば、そのようなアナログ信号処理回路100を組み込んだAD変換装置、オシロスコープなどの機器を提供することができる。以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができるが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれることが、特許請求の範囲の記載から明らかである。

【0083】

【発明の効果】本発明によると、入力インピーダンスを変更することが可能なアナログ信号処理回路を提供することができる、という効果を奏する。

【図面の簡単な説明】

【図1】従来の差動信号処理回路10のブロック図を示す。

【図2】従来の差動信号処理回路10の具体的な回路構成を示す。

【図3】従来の差動信号処理回路10において行われていたインピーダンスの切り替えを説明するための図である。

【図4】本発明の第1の実施形態による、アナログ信号を処理するアナログ信号処理回路100を示す。

【図5】本発明の第2の実施形態による、差動信号であるアナログ信号を処理するアナログ信号処理回路100

を示す。

【図6】本発明の第2の実施形態におけるアナログ信号処理回路100の具体的な回路図の一例を示す。

【図7】(a)は、アナログ信号22aおよび22bの信号波形を示し、(b)は、(a)に示されるアナログ信号22aおよび22bに基づいて出力された増幅信号64の信号波形を示し、(c)は、アナログ信号22aおよび22bの信号波形を示し、(d)は、(c)に示されるアナログ信号22aに基づいて出力された増幅信号64の信号波形を示す。

【図8】図6に示された信号入力回路70aの変形実施例を示す。

【図9】本発明の第2の実施形態におけるアナログ信号処理回路100の具体的な回路図の変形例を示す。

【図10】図9に示されたアナログ信号処理回路100に、電源電圧(VPP、VPM、VNP、VNM)およびオフセット電圧(V_{offset}、V_{offset})を供給する電圧供給回路90の一つの実施例を示す。

【図11】図10に示された電圧供給回路90の別の変形例を示す。

【図12】被試験デバイス210を試験する半導体デバイス試験装置200のブロック図を示す。

【図13】図12に示された半導体デバイス試験装置200が有する波形ディジタイザ206の一実施例を示す。

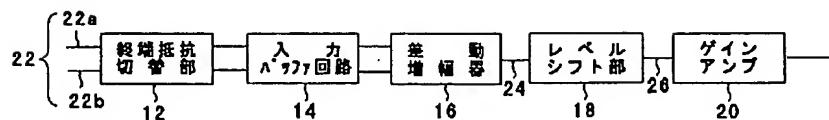
【図14】対象物の電気に関する量を表示または測定するオシロスコープ240を示す。

【符号の説明】

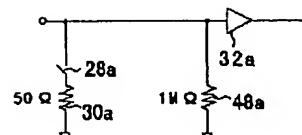
10・・・差動信号処理回路、12・・・終端抵抗切替部、14・・・入力バッファ回路、16・・・差動増幅器、18・・・レベルシフト部、20・・・ゲインアンプ、22、22a、22b・・・アナログ信号、24・・・電圧信号、26、26a、26b・・・シフト電圧信号、28a、28b・・・切替リレー、30a、30b・・・終端抵抗、32a、32b・・・バッファ、34a、34b、36a、36b・・・抵抗、38、40・・・オペアンプ、48a・・・入力抵抗、50、50a、50b・・・入力端子、52、52a、52b・・・入力切替部、54、54a、54b・・・高インピ

ダンス入力経路、56、56a、56b・・・低インピーダンス入力経路、58、58a、58b・・・出力切替部、60・・・レベルシフト部、62・・・増幅器、64・・・増幅信号、70、70a、70b・・・信号入力回路、72a、72b、72c、72d、72e、72f・・・抵抗、74a、74b・・・オペアンプ、76・・・切替リレー、78・・・-V_{offset}供給部、78a・・・V_{offset}供給部、78b・・・V_{offset}供給部、80a、80b・・・バッファ回路、82a、82b・・・抵抗、84a、84b・・・定インピーダンス回路、90・・・電圧供給回路、92・・・D A C (デジタル/アナログコンバータ)、94・・・抵抗、96・・・シェナーダイオード部、98a、98b・・・抵抗、100・・・アナログ信号処理回路、102a、102b・・・キャパシタス、104a、104b・・・電圧フォロワ、106a、106b、108a、108b・・・シェナーダイオード、110a、110b・・・定電流回路、112、114、116、118・・・出力端子、120、124・・・抵抗、122・・・オペアンプ、126・・・キャパシタス、128・・・アース切替部、130・・・アース切替部、132、134・・・出力端子、140a・・・ポジティブ差動信号用電源電圧供給部、140b・・・ネガティブ差動信号用電源電圧供給部、142・・・オフセット電圧供給部、144、144a、144b・・・保護回路、146、146a、146b・・・フィルタ、148a、148b・・・フィルタ、150a、150b、152a、152b・・・バッファ、200・・・半導体デバイス試験装置、202・・・試験信号発生器、204・・・信号入出力部、206・・・波形ディジタイザ、208・・・測定部、210・・・被試験デバイス、220・・・AD (アナログ/デジタル)変換装置、222・・・アンチエイリアジングローパスフィルタ、224・・・ADコンバータ、226・・・クロック発生器、228・・・波形メモリ、240・・・オシロスコープ、242・・・オシロスコープ本体、244a、244b・・・接触端子、246・・・伝送路、250・・・処理部、252・・・表示部

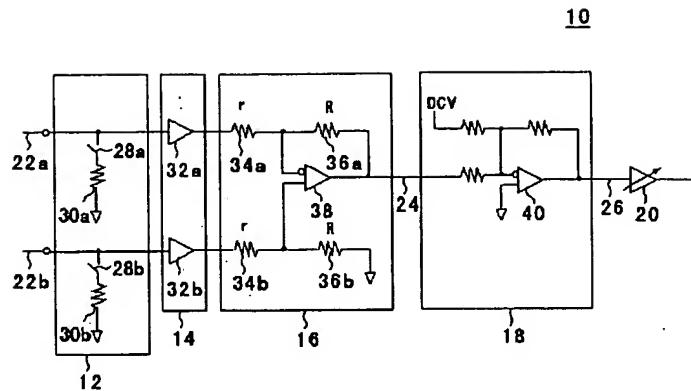
【図1】



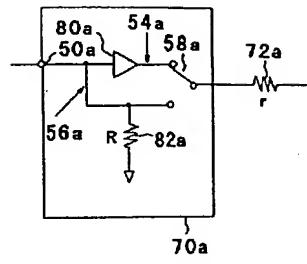
【図3】



【図2】

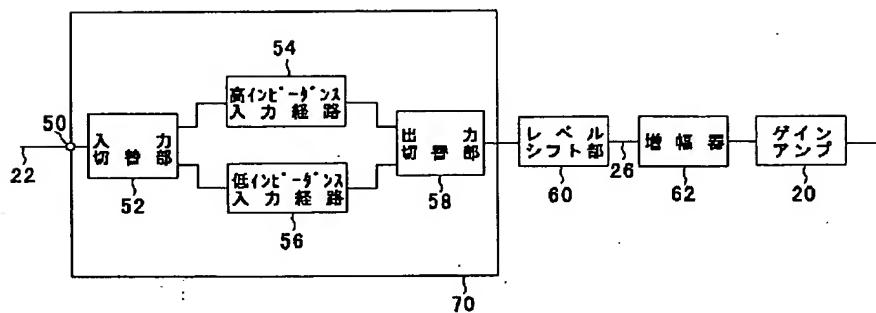


【図8】



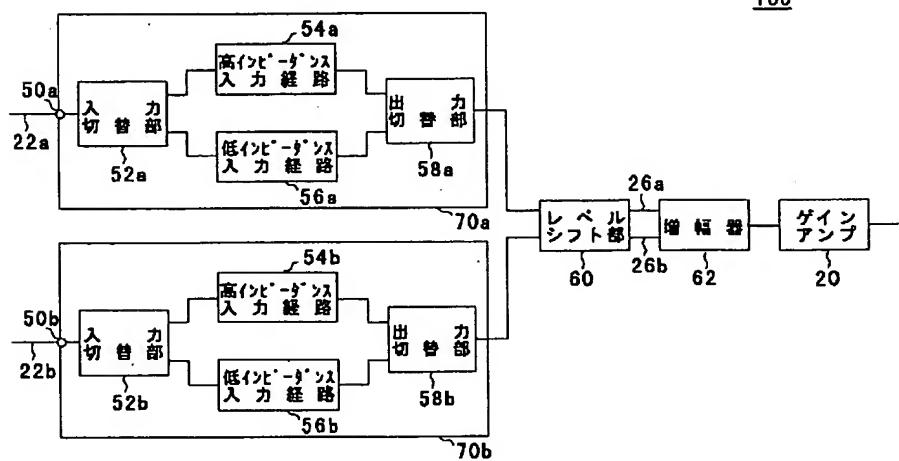
【図4】

100

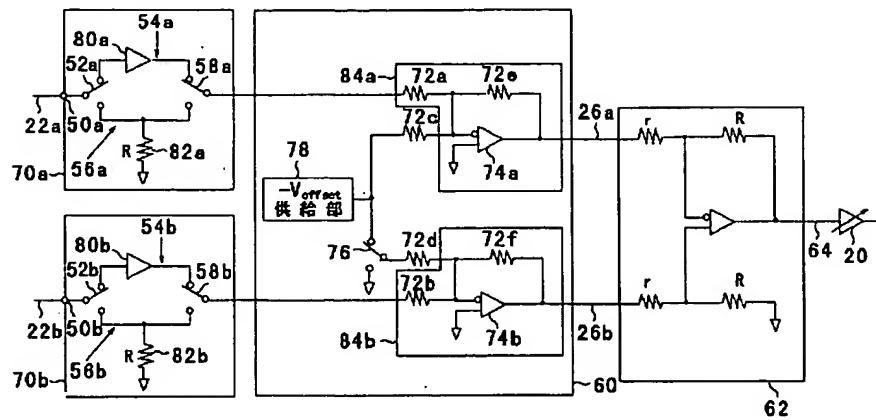


【図5】

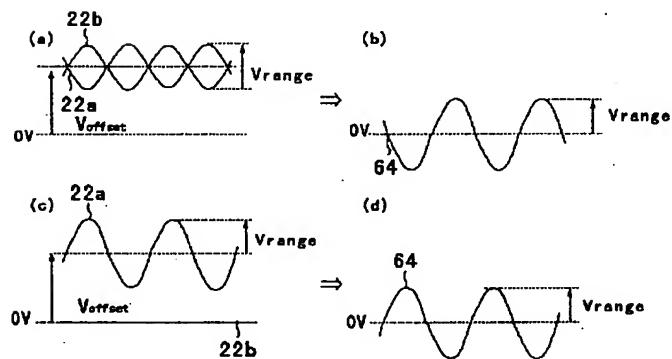
100



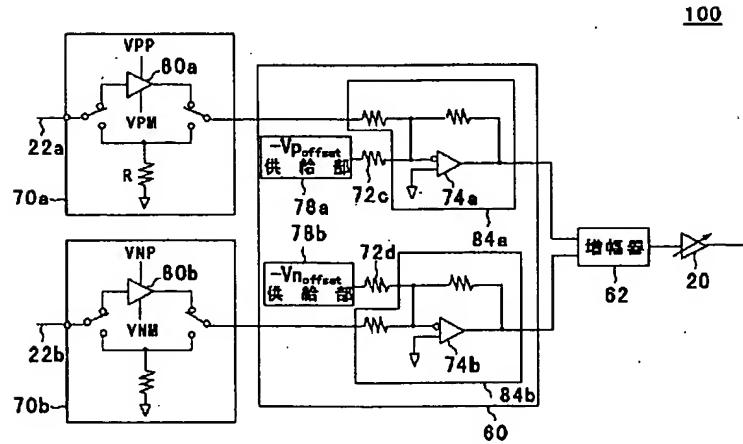
【図6】



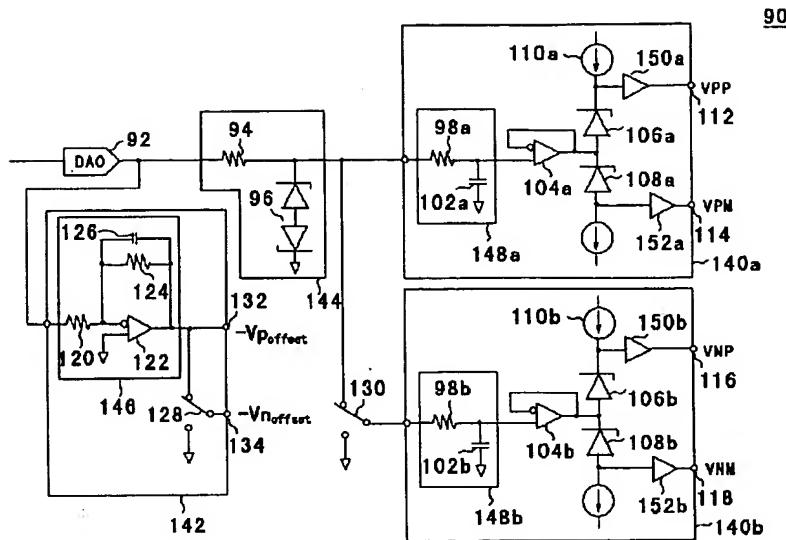
【図7】



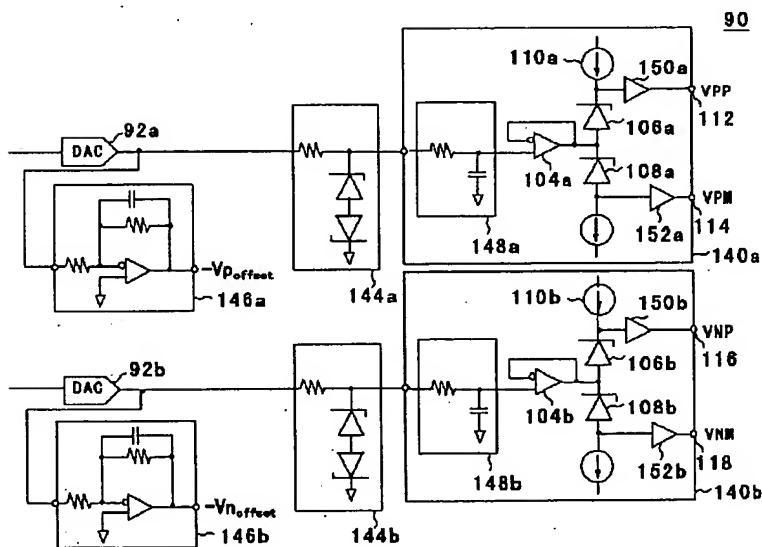
【図9】



【図10】

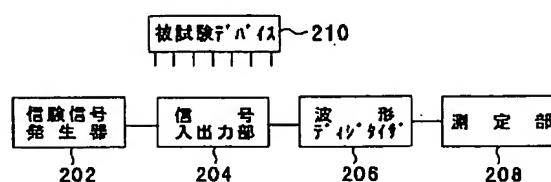


【図11】

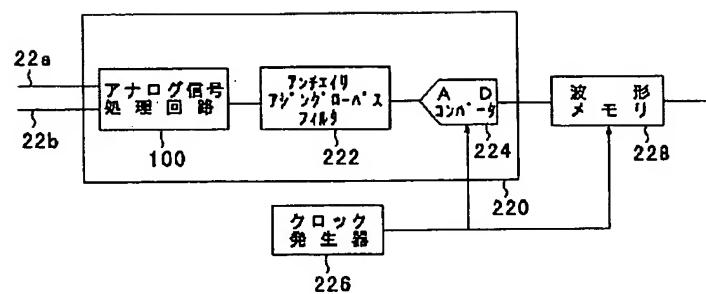


【図12】

200



【図13】

206

【図14】

240